

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventor :Takuya MARUYAMA, et al.

Filed :Concurrently herewith

For :METHOD FOR MANUFACTURING A...

Serial Number :Concurrently herewith

January 29, 2004

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

PRIORITY CLAIM AND
SUBMISSION OF PRIORITY DOCUMENT

SIR:

Applicant hereby claims priority under 35 USC 119 from **Japanese** patent application number **2003-021110** filed **January 29, 2003**, a copy of which is enclosed.

Respectfully submitted,


Michael I. Markowitz
Reg. No. 30,659

Katten Muchin Zavis Rosenman
575 Madison Avenue
New York, NY 10022-2585
(212) 940-8800
Docket No.: NECPW 20.920

US

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 1月29日
Date of Application:

出願番号 特願2003-021110
Application Number:

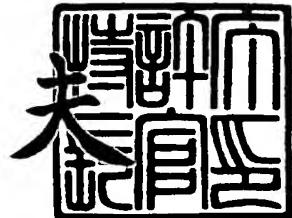
[ST. 10/C] : [JP2003-021110]

出願人 NECエレクトロニクス株式会社
Applicant(s):

2003年10月16日

特許庁長官
Commissioner,
Japan Patent Office

今井康



【書類名】 特許願

【整理番号】 74112734

【提出日】 平成15年 1月29日

【あて先】 特許庁長官

【国際特許分類】 H01L 21/66

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内

【氏名】 丸山 順也

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内

【氏名】 濱中 信秋

【特許出願人】

【識別番号】 302062931

【氏名又は名称】 NECエレクトロニクス株式会社

【代理人】

【識別番号】 100110928

【弁理士】

【氏名又は名称】 速水 進治

【電話番号】 03-3461-3687

【手数料の表示】

【予納台帳番号】 138392

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0216935

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法および半導体製造装置

【特許請求の範囲】

【請求項1】 半導体基板上に膜を形成する工程と、
複数の波長におけるプラズマ発光をモニターしながら前記膜をドライエッ칭
により除去する工程と、を含み、
前記複数の波長におけるプラズマ発光の強度変化に基づいてドライエッチング
の終了点を決定することを特徴とする半導体装置の製造方法。

【請求項2】 請求項1に記載の半導体装置の製造方法において、
前記膜は、窒素を含むことを特徴とする半導体装置の製造方法。

【請求項3】 請求項1または2に記載の半導体装置の製造方法において、
前記膜は、SiCNまたはSiONを含むことを特徴とする半導体装置の製造
方法。

【請求項4】 請求項1乃至3いずれかに記載の半導体装置の製造方法にお
いて、

前記膜は、窒素を含む他の膜上に接して設けられた絶縁膜であることを特徴と
する半導体装置の製造方法。

【請求項5】 請求項1乃至4いずれかに記載の半導体装置の製造方法にお
いて、

前記膜は、SiCNまたはSiONを含む他の膜上に接して設けられた絶縁膜
であることを特徴とする半導体装置の製造方法。

【請求項6】 請求項4または5に記載の半導体装置の製造方法において、
前記絶縁膜は窒素を含まないことを特徴とする半導体装置の製造方法。

【請求項7】 請求項1乃至6いずれかに記載の半導体装置の製造方法にお
いて、

前記複数の波長は、358nm近傍に発光ピークを有する発光帯および387
nm近傍に発光ピークを有する発光帯であることを特徴とする半導体装置の製造
方法。

【請求項8】 半導体基板上に形成された窒素含有膜と、前記窒素含有膜上

に接して形成された膜とを含む半導体装置の製造方法であって、
複数の波長におけるプラズマ発光をモニターしながら前記膜を少なくとも前記
窒素含有膜との界面に達するまでドライエッチングにより除去する工程を含み、
前記複数の波長におけるプラズマ発光の強度変化に基づいてドライエッチング
の終了点を決定することを特徴とする半導体装置の製造方法。

【請求項 9】 半導体基板上に形成された膜と、前記膜上に接して形成され
た窒素含有膜とを含む半導体装置の製造方法であって、
複数の波長におけるプラズマ発光をモニターしながら前記窒素含有膜を少なく
とも前記膜との界面に達するまでドライエッチングにより除去する工程を含み、
前記複数の波長におけるプラズマ発光の強度変化に基づいてドライエッチング
の終了点を決定することを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 8 または 9 に記載の半導体装置の製造方法において
、前記膜は、窒素を含まないことを特徴とする半導体装置の製造方法。

【請求項 11】 半導体基板上に形成された窒素含有膜および当該窒素含有
膜に接して設けられた窒素非含有膜のいずれかをドライエッチングする際に、複
数の波長におけるプラズマ発光の強度の変化量をそれぞれ検出する検出部と、
検出された前記変化量を用いた演算処理を行う演算処理部と、
前記演算処理の結果を考慮して、前記ドライエッチングの終了点を決定する制
御部と、
を含むことを特徴とする半導体製造装置。

【請求項 12】 請求項 11 に記載の半導体製造装置において、
前記検出部は、358 nm 近傍に発光ピークを有する発光帯および387 nm
近傍に発光ピークを有する発光帯を検出することを特徴とする半導体製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法および半導体製造装置に関し、とくにプラズ
マドライエッチングにより半導体装置の膜を除去する工程を含む半導体装置の製
造方法および半導体製造装置に関する。

【0002】**【従来の技術】**

近年における半導体装置の高集積化への要請から、配線やプラグの材料として銅が広く用いられるようになってきた。銅は、従来用いられていたアルミニウムに比べ、抵抗が低く、エレクトロマイグレーション耐性にも優れるという特徴を有している。

【0003】

一方、銅はSi化合物等からなる絶縁膜中を高速で拡散することが知られている。このため、配線材料として銅を用いる場合、層間絶縁膜中へ銅が拡散することを防止するため、銅配線の側面および下面をバリアメタルで覆うとともに上面を拡散防止膜で覆うことが、通常、行われる。従来、拡散防止膜としてはSiN等が広く利用されてきたが、配線間のクロストークを低減する観点から、近年では、誘電率の低いSiCN等が用いられるようになってきた（特許文献1）。また、拡散防止膜は、その上層の膜をエッチングする際のエッチングストップ膜としても機能する。

【0004】**【特許文献1】**

特開2002-319619号公報 請求項5、段落0029

【特許文献2】

米国特許6373262号

【0005】**【発明が解決しようとする課題】**

ところが、このようなエッチングストップ膜を用いた場合であっても、歩留まりを充分に向上させることが困難であった。図12は、銅配線2が形成された第一の絶縁膜1と、その上に形成されたエッチングストップ膜3と、その上に形成された層間絶縁膜4と、その上に形成されたレジスト5により構成された半導体装置において、層間絶縁膜4およびエッチングストップ膜3をエッチングにより除去する処理を示す工程図である。

【0006】

このような半導体装置の成膜工程やC M P（化学的機械的研磨）工程等エッチング工程の前段階で、成膜条件や装置の違いにより、層間絶縁膜4の膜厚が変動してしまうことがある。ここで、図12（a）には層間絶縁膜4の膜厚が小さい場合、図12（b）には層間絶縁膜4の膜厚が正常な場合、図12（b）には層間絶縁膜4の膜厚が大きい場合の工程図をそれぞれ示す。従来、層間絶縁膜4およびエッチングストッパ膜3のエッチングは、予め設定された固定時間で行われていた。したがって、図12（b）に示した半導体装置を基準として固定時間を設定すると、図12（a）に示すように、層間絶縁膜4の膜厚が小さい場合、層間絶縁膜4のエッチング工程でエッチングストッパ膜3までもがエッチングされてしまい、SiCNの突き抜けが起こる。この場合、層間絶縁膜4のエッチング工程やレジスト5の除去工程において、銅配線2の表面が酸化される。この酸化物は、コンタクト抵抗や配線抵抗の上昇を招き、たとえウェットエッチングによる洗浄により除去できたとしても、銅配線2の銅の消失を招いてしまう。また、図12（c）に示すように、層間絶縁膜4の膜厚が大きい場合、層間絶縁膜4のエッチング工程で層間絶縁膜4が充分にエッチングされず、抜け残りが生じる。そのため、エッチングストッパ膜3のエッチング工程でもエッチングストッパ膜3の抜け残りが生じる。

【0007】

また、膜厚が一定であっても、エッチング装置のエッチングレートの変動の影響により、オーバーエッチングやエッチング不足が生じるおそれもある。そのため、抜け残りによる歩留まり低下やエッチング深さの増減による電気特性のばらつきが生じ、素子の信頼性が低下するという問題がある。

【0008】

さらに、成膜条件や装置の違いにより、ビアホール径等が変動することもある。ホール径が異なると、プラズマドライエッチング時におけるホール内のプラズマ密度が変動し、それにより部分的なエッチングレートの相違が生じ、上述したようなオーバーエッチングや抜け残りという問題が生じる。

【0009】

このような問題を解決すべく、上記した特許文献2には、TEOS（tetr

aethylorthosilicate) 膜上に形成された窒化膜をエッチングして除去する際に、387 nmの発光強度が減少する点でエッチングを停止する技術が開示されている。これにより、膜厚の違いやエッチング装置の特性により生じるオーバーエッチングの可能性を低減することができる。

【0010】

しかし、エッチングストッパ膜としてSiCN膜やSiON膜を用いた場合、膜中の窒素(N)濃度が低く、Nに起因したエッチング中の発光強度(387 nm)が弱くなってしまう。そのため、単一の波長による終点検出では検出に十分な発光強度が得られない場合がある。また、エッチングストッパ膜としてSiN膜を用いた場合であっても、単一の波長による検出のみでは精度よく終点を決定するのが困難であった。さらに、COに基づく発光のピークが387 nm付近にあるため、387 nmの発光強度のみに基づく検出では、Nに起因した発光強度の変化が把握しづらかった。

【0011】

本発明は上記事情を踏まえてなされたものであり、プラズマドライエッチングにより膜を除去する際のエッチング精度を高める技術を提供することを目的とする。本発明の別の目的は、窒素含有膜と当該窒素含有膜に接して設けられた窒素非含有膜を含む半導体装置におけるエッチングの終了点を精度よく決定する技術を提供することである。

【0012】

【課題を解決するための手段】

本発明によれば、半導体基板上に膜を形成する工程と、複数の波長におけるプラズマ発光をモニターしながら膜をドライエッチングにより除去する工程と、を含み、複数の波長におけるプラズマ発光の強度変化に基づいてドライエッチングの終了点を決定することを特徴とする半導体装置の製造方法が提供される。

【0013】

このようにすれば、複数の波長におけるプラズマ発光の強度変化に基づいてドライエッチングの終点を決定することができるので、個々の波長の強度変化が微弱であっても、精度よくエッチングの終了点を決定することができる。これによ

り、配線溝やビアホールにおけるオーバーエッチが減少し、配線抵抗の制御が容易となる。また、エッティングストップ膜やその上下の絶縁膜の厚みが異なる場合であっても、各膜の膜厚に応じてエッティングの終了点を決定することができるので、精度よくエッティングを行うことができる。その結果、半導体装置の精度や寸法のばらつきが減少し、安定性を増すことができる。

【0014】

本発明の半導体装置の製造方法において、複数の波長は、いずれも膜をドライエッティングする際に、発光強度が変化するピークを有する発光帯とすることができる。

【0015】

複数の波長のいずれもの発光強度が変化する場合に、ドライエッティングを終了すべき点を明瞭に検出することができる。また、いずれかの波長の発光強度が増加し、他の波長の発光強度が減少するような場合、これらの波長の強度変化の絶対値の和を演算してその演算結果に基づいてドライエッティングの終了点を決定してもよい。これにより、精度よくエッティングを行うことができる。

【0016】

本発明の半導体装置の製造方法において、膜は、窒素を含むことができる。本発明の半導体装置の製造方法において、膜は、SiCNまたはSiONを含むことができる。ここで、SiCNとは、Si、C、NおよびHを含み、これらのいずれかの結合の組み合わせにより構成された組成物であってよい。また、SiONとは、Si、O、NおよびHを含み、これらのいずれかの結合の組み合わせにより構成された組成物であってよい。とくに、膜がSiCNまたはSiONを含む場合、膜中の窒素の含有量が少なくなってしまうが、複数の波長におけるプラズマ発光の強度変化に基づいてドライエッティングの終了点を決定することにより、精度よくエッティングを行うことができる。

【0017】

本発明の半導体装置の製造方法において、膜は、窒素を含む他の膜上に接して設けられた絶縁膜とすることができます。本発明の半導体装置の製造方法において、膜は、SiCNまたはSiONを含む他の膜上に接して設けられた絶縁膜とす

ることができる。

【0018】

本発明の半導体装置の製造方法において、絶縁膜は窒素を含まないものとすることができる。

【0019】

本発明の半導体装置の製造方法において、複数の異なる波長は、358 nm近傍に発光ピークを有する発光帯および387 nm近傍に発光ピークを有する発光帯とすることができます。ここで、358 nm近傍とは、たとえば356 nm～360 nmとすることができる。ここで、387 nm近傍とは、たとえば385 nm～389 nmとすることができる。

【0020】

本発明によれば、半導体基板上に形成された窒素含有膜と、窒素含有膜上に接して形成された膜とを含む半導体装置の製造方法であって、複数の波長におけるプラズマ発光をモニターしながら膜を少なくとも窒素含有膜との界面に達するまでドライエッチングにより除去する工程を含み、複数の波長におけるプラズマ発光の強度変化に基づいてドライエッチングの終了点を決定することを特徴とする半導体装置の製造方法が提供される。

【0021】

このようにすれば、複数の波長におけるプラズマ発光の強度変化に基づいてドライエッチングの終点を決定することができるので、個々の波長の強度変化が微弱であっても、精度よくエッチングの終了点を決定することができる。

【0022】

本発明によれば、半導体基板上に形成された膜と、膜上に接して形成された窒素含有膜とを含む半導体装置の製造方法であって、複数の波長におけるプラズマ発光をモニターしながら窒素含有膜を少なくとも膜との界面に達するまでドライエッチングにより除去する工程を含み、複数の波長におけるプラズマ発光の強度変化に基づいてドライエッチングの終了点を決定することを特徴とする半導体装置の製造方法が提供される。

【0023】

本発明の半導体装置の製造方法において、膜は、窒素を含まないものとすることができる。

【0024】

本発明によれば、半導体基板上に形成された窒素含有膜および当該窒素含有膜に接して設けられた窒素非含有膜のいずれかをドライエッチングする際に、複数の波長におけるプラズマ発光の強度の変化量をそれぞれ検出する検出部と、検出された変化量を用いた演算処理を行う演算処理部と、演算処理の結果を考慮して、ドライエッチングの終了点を決定する制御部と、を含むことを特徴とする半導体製造装置が提供される。

【0025】

このようにすれば、演算処理部が複数の波長におけるプラズマ発光の強度の変化量を用いた演算を行い、制御部はその演算結果を考慮してエッチングの終了点を決定するので、個々の波長の発光強度の変化が微弱であっても、精度よくエッチングの終了点を決定することができる。これにより、配線溝やビアホールにおけるオーバーエッチが減少し、配線抵抗の制御が容易となる。

【0026】

本発明の半導体製造装置において、検出部は、358 nm近傍に発光ピークを有する発光帯および387 nm近傍に発光ピークを有する発光帯を検出することができる。

【0027】

【発明の実施の形態】

(第一の実施の形態)

本実施の形態は、シングルダマシン法を用いて半導体装置を形成する際に本発明を適用した例である。

【0028】

図1は本実施の形態に係る半導体装置の構造を示す断面図である。

本実施の形態における半導体装置200は、トランジスタ等の素子を形成した半導体基板(不図示)上に成膜された下地絶縁膜201、SiCN膜であるエッチングストップ膜202、第一の絶縁膜203、エッチングストップ膜211、

層間絶縁膜212、エッチングストッパ膜213、および第二の絶縁膜216がこの順に積層された構造を有する。エッチングストッパ膜202および第一の絶縁膜203にはバリア膜208および配線金属膜209により構成された下層配線255が、エッチングストッパ膜213および第二の絶縁膜216にはバリア膜220および配線金属膜223により構成された上層配線270が形成されている。これらの下層配線255および上層配線270はバリア膜226およびビア金属膜228により構成されたビアプラグ229を介して接続されている。

【0029】

次に、本実施の形態に係る半導体装置の製造方法について説明する。図2および図3は図1に示した半導体装置のビアプラグ229部分を形成する工程を示す断面図である。

【0030】

まず、エッチングストッパ膜202および第一の絶縁膜203をエッチングして配線溝を形成した後、バリア膜208および配線金属膜209を成膜する。つづいてCMP（化学的機械的研磨）を行い、バリア膜208により側面および底面を覆われた配線金属膜209により構成された下層配線255を形成する。その後、基板全面に、配線金属膜209を構成する金属の拡散防止膜かつエッチングストッパとして機能するエッチングストッパ膜211を形成する。つづいて、その上に層間絶縁膜212を形成する。さらにその上に、所定の開口部を設けたレジスト膜310を形成する（図2（a））。

【0031】

エッチングストッパ膜202、エッチングストッパ膜211、およびエッチングストッパ膜213（図1参照）は、SiCN膜、SiON膜、またはSiN膜により構成することができる。以下、エッチングストッパ膜202、エッチングストッパ膜211、およびエッチングストッパ膜213がSiCN膜により構成される場合を例として説明する。

【0032】

第一の絶縁膜203および第二の絶縁膜216（図1参照）は、たとえば、SiO₂膜（シリコン酸化膜）により構成することができる。また、第一の絶縁膜

203および第二の絶縁膜216は、低誘電率材料により構成してもよい。ここで、低誘電率材料とは、比誘電率が3.6以下の材料とすることができる。低誘電率材料としては、梯子型水素化シロキサン等のラダーオキサイドを含む膜を用いることができる。梯子型水素化シロキサンとは梯子型の分子構造を有するポリマーのことであり、配線遅延防止の観点からは、とくに比誘電率が2.9以下のものが好ましく、また膜密度が低いものが好ましい。こうした膜材料の具体例としてL-Ox（商標）等を例示することができる。また、低誘電率材料としては、この他に、たとえば、HSQ（ハイドロジエンシルセスキオキサン）、MSQ（メチルシルセスキオキサン）、またはMHSQ（メチル化ハイドロジエンシルセスキオキサン）等のポリオルガノシロキサン、ポリアリールエーテル（P A E）、ジビニルシロキサンービス一ベンゾシクロブテン（B C B）、またはSilk（登録商標）等の芳香族含有有機材料、SOG(spin on glass)、FOX(flowable oxide)、パリレン、サイトップ、またはB C B（Benzocyclobutene）等種々のものを用いることができる。これにより、配線間の容量を低減することができる。さらに、第一の絶縁膜203は、このような低誘電率材料により構成された膜およびその上に形成されたたとえばSiO₂膜等の保護膜を含むことができる。

【0033】

バリア膜208、バリア膜226、およびバリア膜220（図1参照）は、たとえばTa、TaN、Ti、TiNまたはこれらの積層構造により構成される。また、配線金属膜209、ビア金属膜228、配線金属膜223（図1参照）はたとえば銅を含む膜により構成される。

【0034】

つづいて、レジスト膜310をマスクとして層間絶縁膜212をエッチングしてビアホール312を形成する（図2（b）および図2（c））。ビアホール312の形成は、後述するエッチング制御システムにより制御される。SiCN膜をプラズマエッチングすると、SiCN膜の窒素（N）に起因した波長（約356～360nmにピークを有する発光帯および約385～389nmにピークを有する発光帯）の発光が生じる。そのため、たとえばエッチングストップ膜21

1上の層間絶縁膜212をエッティングしてエッティングストップ膜211表面を露出させる場合は、約358nmおよび約387nmの発光の発生または強度変化の増加に応じて、層間絶縁膜212のエッティングの終了点を決定することができる。

【0035】

つづいて、次に、酸素プラズマアッシングによりレジスト膜310を除去した後、エッチバックを行い下層配線255上のエッティングストップ膜211を除去する（図3（a）および図3（b））。エッティングストップ膜211をエッティングして第一の絶縁膜203表面を露出させる場合は、約358nmおよび約387nmの発光の消滅または強度変化の減少に応じて、エッティングストップ膜211のエッティングの終了点を決定することができる。

【0036】

その後、全面にバリア膜226およびビア金属膜228を形成した後、CMPによりビアホール312外部のビア金属膜228およびバリア膜226を除去し、下層配線255に接続されたビアプラグ229を形成する（図3（c））。

【0037】

ここでは、ビアプラグ229の形成方法を例として説明したが、下層配線255および上層配線270も同様にして形成することができる。以上のような方法で金属配線およびビアプラグを順次形成する工程を繰り返すことにより、シングルダマシンプロセスにより、所望の層数の多層配線構造を有する半導体装置を製造することができる。

【0038】

図4は、本実施の形態におけるエッティング制御システム400の構成を示すブロック図である。エッティング制御システム400は、エッティング装置402と、検出部404と、演算処理部406と、記憶部408と、制御部410とを含む。エッティング装置402は、既知のプラズマエッティング装置であって、各種膜のプラズマエッティングを行う。エッティング装置402には、発光検出用の窓が設けられ、検出部404は、エッティング装置402に取り付けられた光センサを含む。検出部404は、発光分析（Optical Emission Spect

roscopy: OES)により、エッティング中にたとえば波長領域175～525nmの範囲で測定を行う。また、検出部404は、このようにして測定された結果から、エッティング装置402中の複数の波長（ここでは約356～360nm近傍にピークを有する発光帯および約385～389nm近傍にピークを有する発光帯）におけるプラズマ発光の強度を検出する。演算処理部406は、検出部404により検出された検出結果に基づき、複数の波長における発光強度の演算処理を行う。記憶部408は、検出対象となるサンプル毎にエッティング処理を終了するのに適切な時間を記憶する。制御部410は、検出部404が検出した検出結果および演算処理部406により演算された演算結果を受け付け、記憶部408を参照する等してエッティング装置402を制御する。

【0039】

図5は、本実施の形態において、エッティングストップ膜上に形成された絶縁膜のエッティングおよびエッティングストップ膜のエッティングの終了点を決定する際に検出部404により検出される複数の特定波長の変化および演算処理部により演算されるこれらの特定波長の変化の合計の経時変化を模式的に示す図である。

【0040】

本実施の形態において、検出部404は、エッティングストップ膜（エッティングストップ膜202、エッティングストップ膜211、またはエッティングストップ膜213）であるSiCN膜に由来するNに起因した二つの異なる波長（約358nmおよび約387nm）の発光強度を検出する。演算処理部406は、これらの波長（約358nmおよび約387nm）の発光強度の合計を演算する。

【0041】

図5(a)に示すように、絶縁膜（第一の絶縁膜203、層間絶縁膜212、または第二の絶縁膜216）のエッティングを行う場合、絶縁膜が除去され、その下層のエッティングストップ膜表面が露出してくると、約358nmおよび約387nmの発光強度がそれぞれ増加する。記憶部408は、たとえばもとの発光強度に対する複数の波長の発光強度の合計の変化量が所定の割合以上となった点をエッティングの終了点として記憶しておくことができる。演算処理部406は、演算処理部406からの演算結果を受け付け、記憶部408を参照して絶縁膜の工

ッチングの終了点を決定する。演算処理部406は、エッチングの終了点を決定すると、そのタイミングでエッチング装置402を制御して絶縁膜のエッチングを終了させる。

【0042】

また、図5（b）に示すように、エッチングストップ膜のエッチングを行う場合、エッチングストップ膜が除去され、その下層の絶縁膜が露出してくると、約358nmおよび約387nmの発光強度がそれぞれ減少する。この場合も、記憶部408は、たとえばもとの発光強度に対する複数の波長の発光強度の合計の変化量が所定の割合以下となった点をエッチングの終了点として記憶しておくことができる。演算処理部406は、演算処理部406からの演算結果を受け付け、記憶部408を参照してエッチングストップ膜のエッチングの終了点を決定する。演算処理部406は、エッチングの終了点を決定すると、そのタイミングでエッチング装置402を制御してエッチングストップ膜のエッチングを終了させる。

【0043】

以上のように、本実施の形態において、演算処理部406が複数の波長の発光強度の変化を演算し、制御部410はその演算結果を用いてエッチングの終了点を決定するので、個々の波長の発光強度の変化が微弱であっても、精度よくエッチングの終了点を決定することができる。これにより、配線溝やビアホールにおけるオーバーエッチが減少し、配線抵抗の制御が容易となる。また、エッチングストップ膜やその上下の絶縁膜の厚みが異なる場合であっても、エッチング制御システム400により各膜の膜厚に応じてエッチングの終了点を決定することができるので、精度よくエッチングを行うことができる。

【0044】

（第二の実施の形態）

本実施の形態は、デュアルダマシンプロセスで多層配線構造を形成する際に本発明を適用した例である。ここでは、いわゆるトレンチファースト法で金属配線およびビアプラグを形成する方法を例として説明する。本実施の形態において、第一の実施の形態と同様の構成要素には同様の符号を付し、適宜説明を省略する

。

【0045】

図6は本実施の形態に係る半導体装置の構造を示す断面図である。

本実施の形態においても、第一の実施の形態と同様、半導体装置200は、下地絶縁膜201、エッティングストップ膜202、第一の絶縁膜203、エッティングストップ膜211、層間絶縁膜212、エッティングストップ膜213、および第二の絶縁膜216がこの順で積層された構造を有する。ここで、エッティングストップ膜202および第一の絶縁膜203にはバリア膜208および配線金属膜209により構成された下層配線255が形成されている。エッティングストップ膜211、層間絶縁膜212、エッティングストップ膜213、および第二の絶縁膜216にはバリア膜220および配線金属膜223により構成された上層配線270（およびビアプラグ）が形成されている。

【0046】

次に、本実施の形態に係る半導体装置の製造方法について説明する。図7は図6に示した半導体装置の上層配線270部分を形成する工程を示す断面図である。

【0047】

本実施の形態において、まず、第二の絶縁膜216上にレジスト膜272が形成される。レジスト膜272および第二の絶縁膜216には、第一の実施の形態で説明したのと同様、エッティング制御システム400によりエッティングの終了点を制御しつつ、既知のリソグラフィー技術およびエッティングエッティング技術により、配線形成用溝273が形成される（図7（a））。なお、ここでは図示していないが、レジスト膜272によるレジストパターニングを制御よく行うためには、レジスト膜272の下に反射防止膜を設けることもできる。

【0048】

次に、配線形成用溝273の形成に用いたレジスト膜272を除去し、次いで、配線形成用溝273を埋め込むように、第二の絶縁膜216上にレジスト膜274を形成する。つづいて、再び、エッティング制御システム400によりエッティングの終了点を制御しつつ、レジスト膜274を用いて、エッティングストップ膜

213、層間絶縁膜212、およびエッチングストップ膜211のビアプラグを形成する領域に、既知のリソグラフィー技術およびエッチング技術を用いてビアホール275を形成する（図7（b））。

【0049】

この後、レジスト膜274を除去する。これにより、下層配線255上にビアホール275および配線形成用溝273が連続して形成される（図7（c））。つづいて、ビアホール275および配線形成用溝273内にスパッタリング法によりバリア膜220を形成する。次に、バリア膜220上において、ビアホール275および配線形成用溝273を埋め込むように、たとえば電界めつき法により配線金属膜223を形成する（図7（d））。その後、配線形成用溝273外部に形成された不要なバリア膜220および配線金属膜223をCMPにより除去する。これにより、図6に示したような半導体装置200が形成される。

【0050】

本実施の形態においても、エッチング制御システム400（図4参照）により絶縁膜およびエッチングストップ膜のエッチングの終了点を決定するので、エッチングを精度よく行うことができる。これにより、配線溝やビアホールにおけるオーバーエッチが減少し、配線抵抗の制御が容易となる。また、エッチングストップ膜やその上下の絶縁膜の厚みが異なる場合であっても、エッチング制御システム400により各膜の膜厚に応じてエッチングの終了点を決定することができるので、精度よくエッチングを行うことができる。さらに、複数の波長におけるプラズマ発光強度を用いて終了点を検出するため、各波長におけるプラズマ発光強度が小さい場合であっても、終了点を明瞭に検出することができる。

【0051】

（第三の実施の形態）

本実施の形態は、第二の実施の形態と同様、デュアルダマシンプロセスで多層配線構造を形成する際に本発明を適用した例である。ここでは、いわゆるビアファースト法で金属配線およびビアプラグを形成する方法を例として説明する。本実施の形態において、第一および第二の実施の形態と同様の構成要素には同様の符号を付し、適宜説明を省略する。

【0052】

本実施の形態においても、半導体装置200は第二の実施の形態において図6に示したのと同様の構成を有する。

【0053】

次に、本実施の形態に係る半導体装置の製造方法について説明する。図8は図6に示した半導体装置の上層配線270部分を形成する工程を示す断面図である。

【0054】

まず、下層配線255上にエッチングストップ膜211、層間絶縁膜212、エッチングストップ膜213、および第二の絶縁膜216をこの順で積層させる（図8（a））。このとき、層間絶縁膜212形成後に、下層配線255形成時のCMP工程で発生した凹凸を低減するために、層間絶縁膜212をCMPで処理して表面平坦化を行うのが好ましい。これにより、多層配線構造を形成した場合であっても、各層を平坦に保つことができ、半導体装置を精度よく安定的に製造することができる。

【0055】

次に、第二の絶縁膜216上にレジスト膜277を形成する。つづいて、第一の実施の形態で説明したのと同様、エッチング制御システム400によりエッチングの終了点を制御しつつ、既知のリソグラフィー技術およびエッチング技術により、第二の絶縁膜216、エッチングストップ膜213および層間絶縁膜212にビアホール278を形成する（図8（b））。

【0056】

次に、ビアホール278形成に用いたレジスト膜277を除去した後、第二の絶縁膜216上にレジスト膜280を形成する。つづいて、再びエッチング制御システム400によりエッチングの終了点を制御しつつ、既知のリソグラフィー技術およびエッティング技術により第二の絶縁膜216に配線溝279を形成する（図8（c））。

【0057】

その後、レジスト膜280を除去し、ビアホール278底のエッチングストッ

バ膜211をエッティングにより除去する。このときも、エッティング制御システム400によりエッティングの終了点を制御する。つづいて、第二の実施の形態において図7(d)を参照して説明したのと同様に、バリア膜220および配線金属膜223を形成する。次いで、配線溝279外部に形成された不要なバリア膜20および配線金属膜223をCMPにより除去する。これにより、図6に示したのと同様の半導体装置200が形成される。

【0058】

本実施の形態においても、エッティング制御システム400(図4参照)により絶縁膜およびエッティングストップ膜のエッティングの終了点を決定するので、エッティングを精度よく行うことができる。これにより、配線溝やビアホールにおけるオーバーエッチが減少し、配線抵抗の制御が容易となる。また、エッティングストップ膜やその上下の絶縁膜の厚みが異なる場合であっても、エッティング制御システム400により各膜の膜厚に応じてエッティングの終了点を決定することができるので、精度よくエッティングを行うことができる。さらに、複数の波長におけるプラズマ発光強度を用いて終了点を検出するため、各波長におけるプラズマ発光強度が小さい場合であっても、終了点を明瞭に検出することができる。

【0059】

(第四の実施の形態)

本実施の形態は、第二および第三の実施の形態と同様、デュアルダマシンプロセスで多層配線構造を形成する際に本発明を適用した例である。ここでは、いわゆるミドルファースト法で金属配線およびビアプラグを形成する方法を例として説明する。本実施の形態において、第一～第三の実施の形態と同様の構成要素には同様の符号を付し、適宜説明を省略する。

【0060】

本実施の形態においても、半導体装置200は第二の実施の形態において図6に示したのと同様の構成を有する。

【0061】

次に、本実施の形態に係る半導体装置の製造方法について説明する。図9は図6に示した半導体装置の上層配線270部分を形成する工程を示す断面図である

。

【0062】

まず、下層配線255上にエッティングストップ膜211、層間絶縁膜212、およびエッティングストップ膜213をこの順で積層させる（図9（a））。

【0063】

次に、エッティングストップ膜213上にレジスト膜281を形成する。つづいて、つづいて、第一の実施の形態で説明したのと同様、エッティング制御システム400によりエッティングの終了点を制御しつつ、既知のリソグラフィー技術およびエッティング技術により、ビアホール282となる領域のエッティングストップ膜213を除去する（図9（b））。

【0064】

次に、レジスト膜281を除去し、エッティングストップ膜213上に第二の絶縁膜216を形成する（図9（c））。

【0065】

その後、第二の絶縁膜216上にレジスト膜283を形成する。つづいて、再びエッティング制御システム400によりエッティングの終了点を制御しつつ、既知のリソグラフィー技術およびエッティング技術により、第二の絶縁膜216に配線溝284を形成する。このとき、エッティングにより形成される配線溝284がエッティングストップ膜213に到達した後、さらにビアホール282を形成するためにエッティングを継続する（図9（d））。この後、第三の実施の形態と同様にエッティングストップ膜211を除去し、バリア膜220および配線金属膜223を形成する。次いで、配線溝284外部に形成された不要なバリア膜220および配線金属膜223をCMPにより除去する。これにより、図6に示したのと同様の半導体装置が形成される。

【0066】

本実施の形態においても、エッティング制御システム400（図4参照）により絶縁膜およびエッティングストップ膜のエッティングの終了点を決定するので、エッティングを精度よく行うことができる。これにより、配線溝やビアホールにおけるオーバーエッチが減少し、配線抵抗の制御が容易となる。また、エッティングスト

ツバ膜やその上下の絶縁膜の厚みが異なる場合であっても、エッチング制御システム400により各膜の膜厚に応じてエッチングの終了点を決定することができるので、精度よくエッチングを行うことができる。さらに、複数の波長におけるプラズマ発光強度を用いて終了点を検出するため、各波長におけるプラズマ発光強度が小さい場合であっても、終了点を明瞭に検出することができる。

【0067】

【実施例】

以下に本発明のエッチング制御システム400について実施例によって具体的に説明するが、本発明はこれらに限定されない。

【0068】

まず、 SiO_2 (Cu) 膜（膜厚200 nm）、 SiCN 膜（膜厚50 nm）、 SiO_2 膜（膜厚300 nm）およびレジスト膜がこの順で積層した積層構造を形成した。

【0069】

（実施例1）

上記積層構造における上層の SiO_2 膜をエッチング装置でプラズマエッチング（使用ガス： C_4F_8 、 Ar 、 O_2 、圧力：40 mtorr、バイアス1000 W）してその下層の SiCN 膜との境界におけるエッチングの終了点を検出する実験を行った。終了点の検出は、分光器（光電子倍増管）でOES分析を用いて行った。その結果を図10に示す。

【0070】

図10（a）は、エッチング時間と $\lambda = 358 \text{ nm}$ 、および $\lambda = 387 \text{ nm}$ における発光強度との関係を示す図である。ここで、エッチング開始直後（5秒後）の発光強度が50%となるように感度調整を行った。図10（b）は、これらの二波長（ $\lambda = 358 \text{ nm}$ 、および $\lambda = 387 \text{ nm}$ ）の発光強度の和から発光強度50%分を減じた発光強度を示す図である。図10（b）に示すように、二波長の発光強度の和を用いることにより、 SiO_2 膜と SiCN 膜との境界をより鮮明に検出することができる。

【0071】

(実施例2)

上記積層構造における上層のSiO₂膜をプラズマエッチングにより除去した後、SiCN膜を同様のエッティング装置でプラズマエッチング（使用ガス：CHF₃、Ar、O₂、圧力：20 mtorr、バイアス100W）してその下層のSiO₂膜との境界におけるエッティングの終了点を検出する実験を行った。終了点の検出は、分光器（光電子倍増管）でOES分析を用いて行った。その結果を図11に示す。

【0072】

図11(a)は、エッティング時間とλ=358nm、およびλ=387nmにおける発光強度との関係を示す図である。ここで、エッティング開始直後（10秒後）の発光強度が50%となるように感度調整を行った。図11(b)は、これらの二波長(λ=358nm、およびλ=387nm)の発光強度の和から発光強度50%分を減じた発光強度を示す図である。図11(b)に示すように、二波長の発光強度の和を用いることにより、SiCN膜とSiO₂膜との境界をより鮮明に検出することができる。

【0073】

以上、本発明を実施の形態および実施例をもとに説明した。これらの実施の形態は例示であり、それらの各構成要素や各処理プロセスの組合せにいろいろな変形例が可能のこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。以下、こうした例を説明する。

【0074】

以上の実施の形態および実施例においては、約358nmおよび約387nmにピークを有する発光帯を対象としたが、対象波長は三つ以上することもできる。対象波長の数が増えれば、プラズマドライエッティングの終了点決定の精度を増すことができる。また、対象波長が減少する場合には、変化量の絶対値を用いることもできる。

【0075】

また、以上の実施例では、二波長の発光強度の和を用いて終了点を検出する例を説明したが、たとえば複数の波長の比（いずれかの波長における発光強度他の

波長における発光強度で除した値等）を用いたり、いずれかの波長における発光強度に他の波長における発光強度よりも大きい重み付けを行って和や比を求めたものを用いる等、複数の波長の種々の相関関係により終了点を検出することができる。

【0076】

【発明の効果】

本発明によれば、プラズマドライエッティングにより膜を除去する際のエッティング精度を高めることができる。

【図面の簡単な説明】

【図1】

本発明の実施の形態における半導体装置の構造を示す断面図である。

【図2】

本発明の実施の形態における半導体装置の製造方法を示す工程図である。

【図3】

本発明の実施の形態における半導体装置の製造方法を示す工程図である。

【図4】

本発明の実施の形態におけるエッティング制御システムの構成を示すブロック図である。

【図5】

本発明の実施の形態において、複数の特定波長の経時変化を模式的に示す図である。

【図6】

本発明の実施の形態における半導体装置の構造を示す断面図である。

【図7】

本発明の実施の形態における半導体装置の製造方法を示す工程図である。

【図8】

本発明の実施の形態における半導体装置の製造方法を示す工程図である。

【図9】

本発明の実施の形態における半導体装置の製造方法を示す工程図である。

【図10】

本発明の実施例におけるエッティング時間と発光強度の関係を示す図である。

【図11】

本発明の実施例におけるエッティング時間と発光強度の関係を示す図である。

【図12】

従来のエッティング時における問題点を説明するための図である。

【符号の説明】

- 200 半導体装置
- 201 下地絶縁膜
- 202 エッティングストップ膜
- 203 第一の絶縁膜
- 208 バリア膜
- 209 配線金属膜
- 211 エッティングストップ膜
- 212 層間絶縁膜
- 213 エッティングストップ膜
- 216 第二の絶縁膜
- 220 バリア膜
- 223 配線金属膜
- 226 バリア膜
- 228 ビア金属膜
- 229 ビアプラグ
- 255 下層配線
- 270 上層配線
- 272 レジスト膜
- 273 配線形成用溝
- 274 レジスト膜
- 275 ビアホール
- 277 レジスト膜

278 ビアホール

279 配線溝

280 レジスト膜

281 レジスト膜

282 ビアホール

283 レジスト膜

284 配線溝

310 レジスト膜

312 ビアホール

400 エッチング制御システム

402 エッチング装置

404 検出部

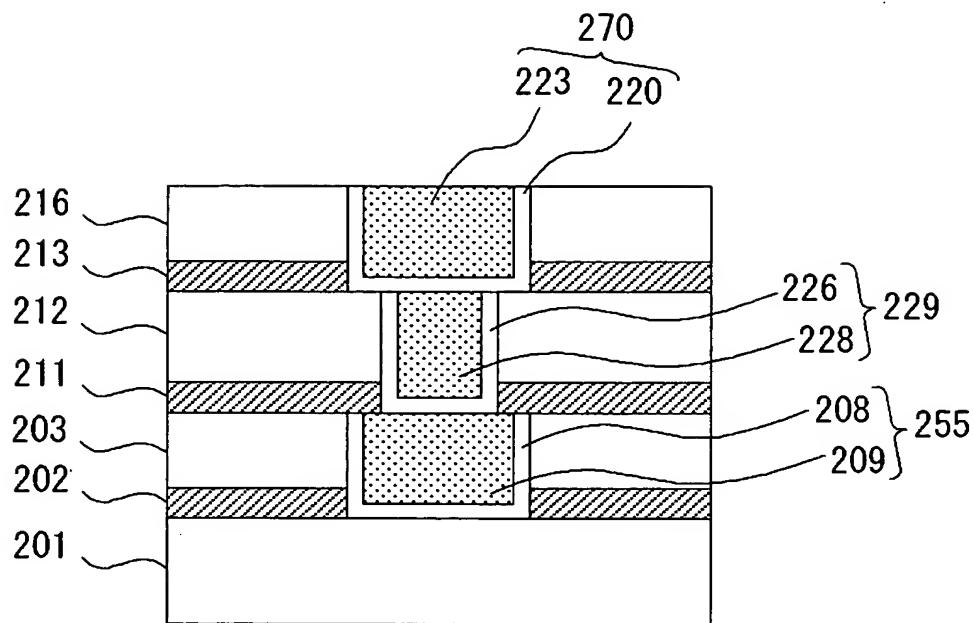
406 演算処理部

408 記憶部

410 制御部

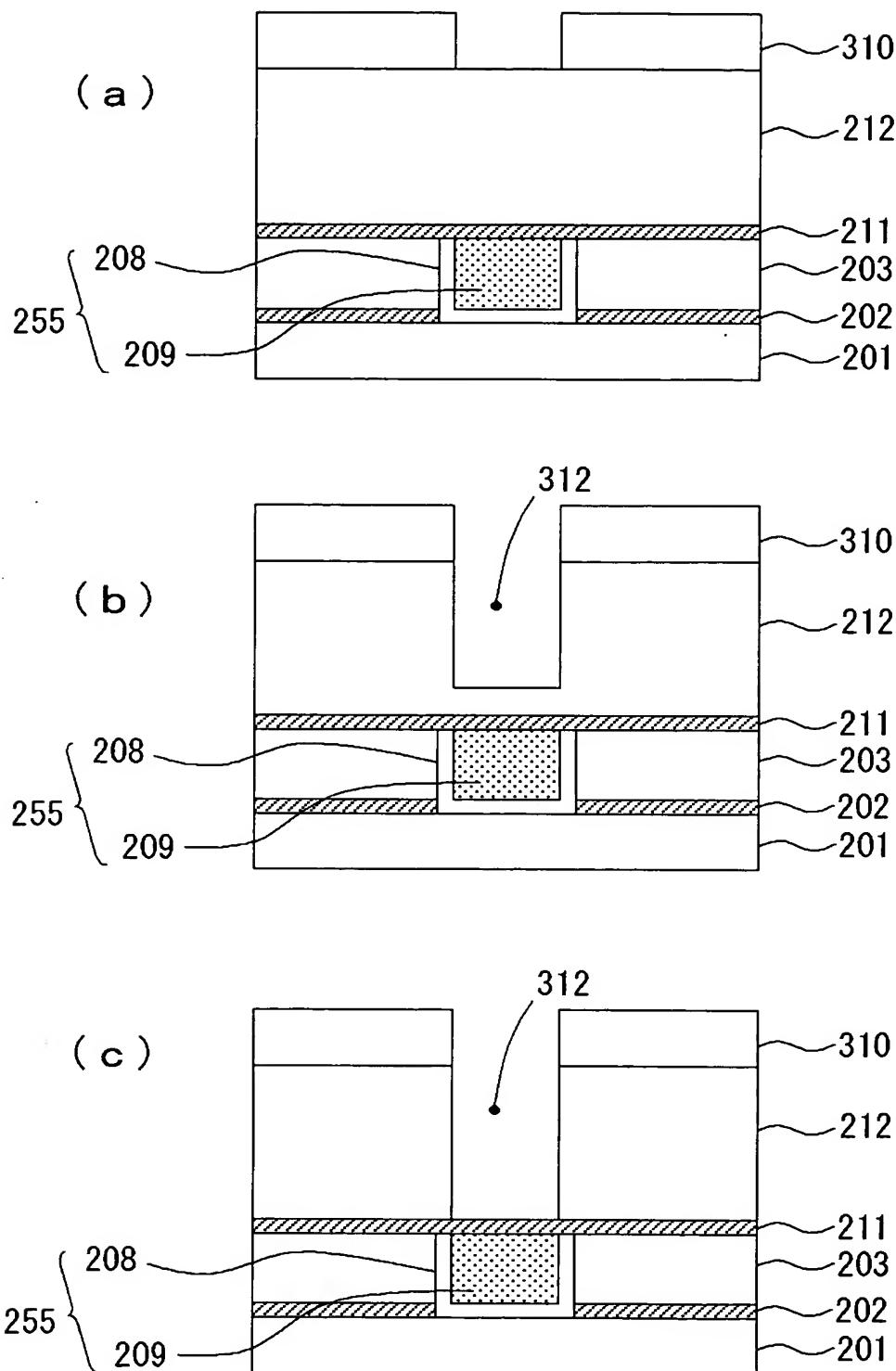
【書類名】 図面

【図 1】

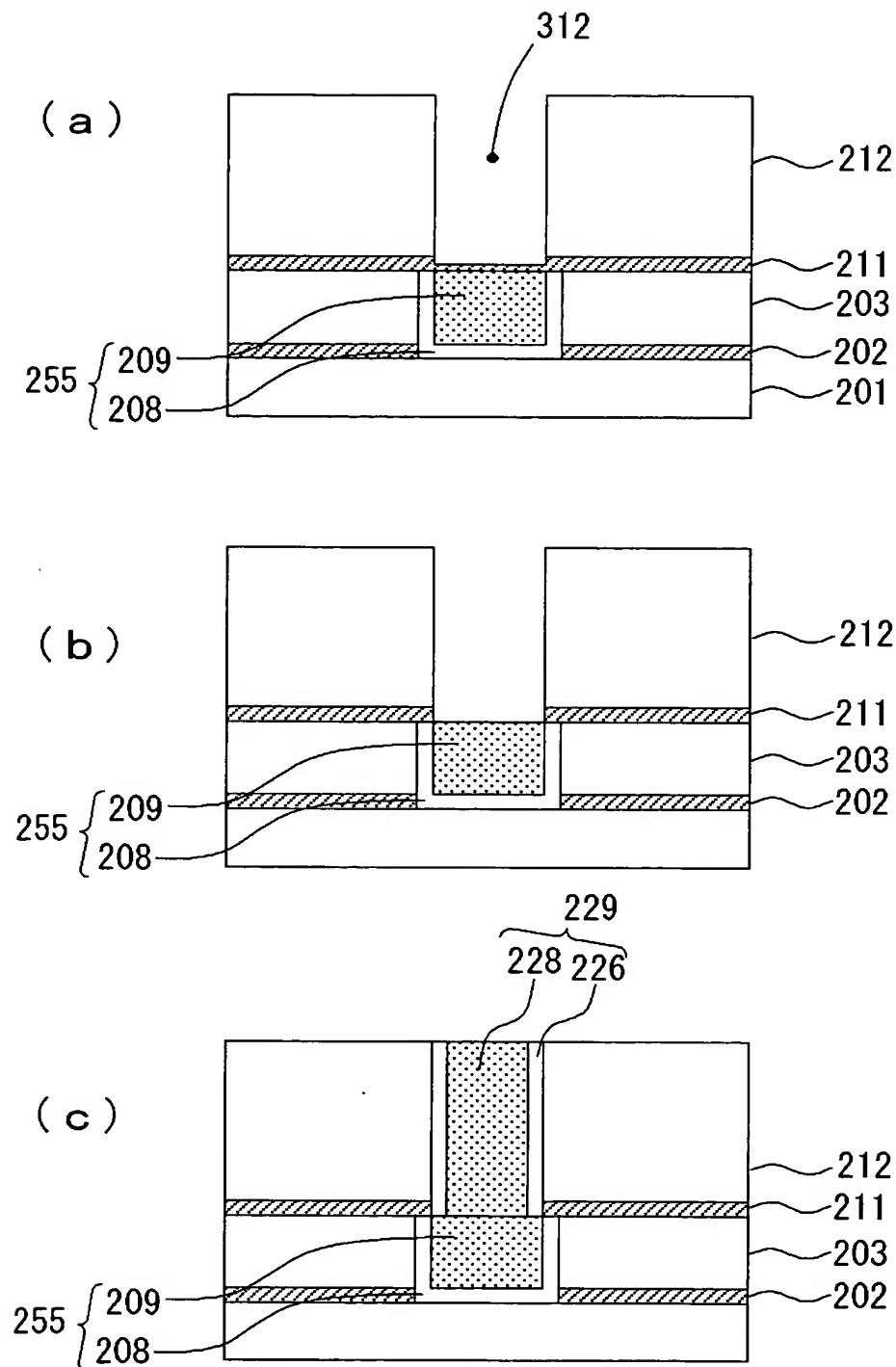


200

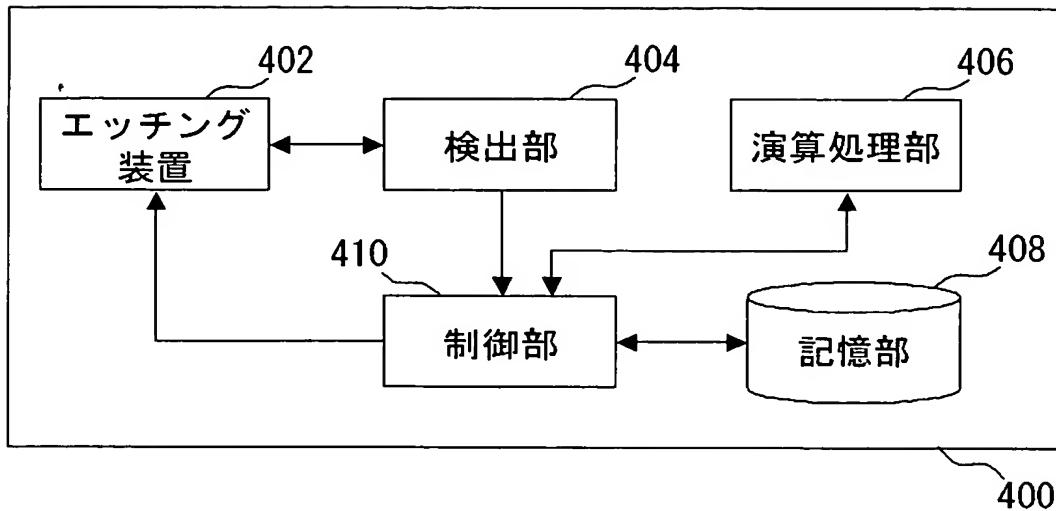
【図 2】



【図3】

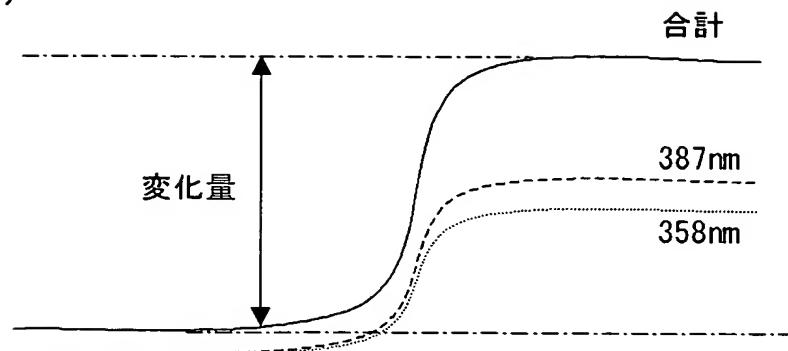


【図4】



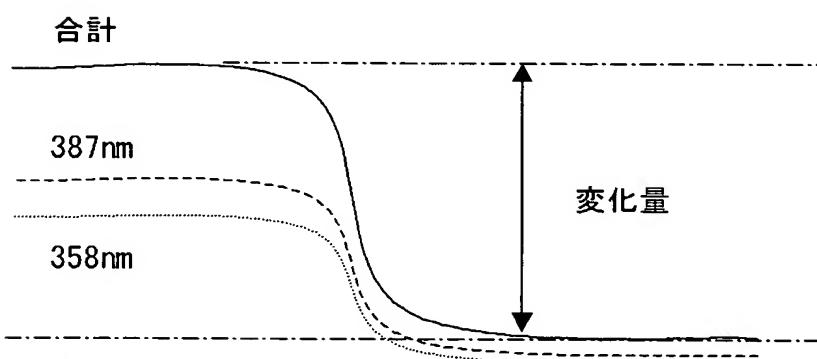
【図 5】

(a)



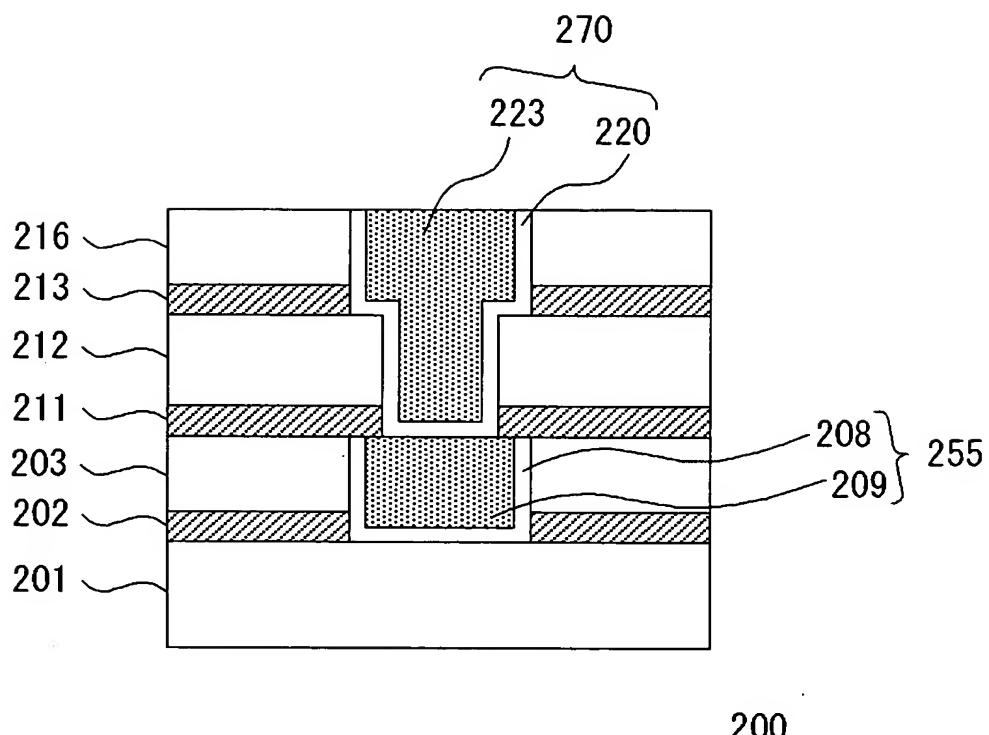
絶縁膜のエッティング

(b)

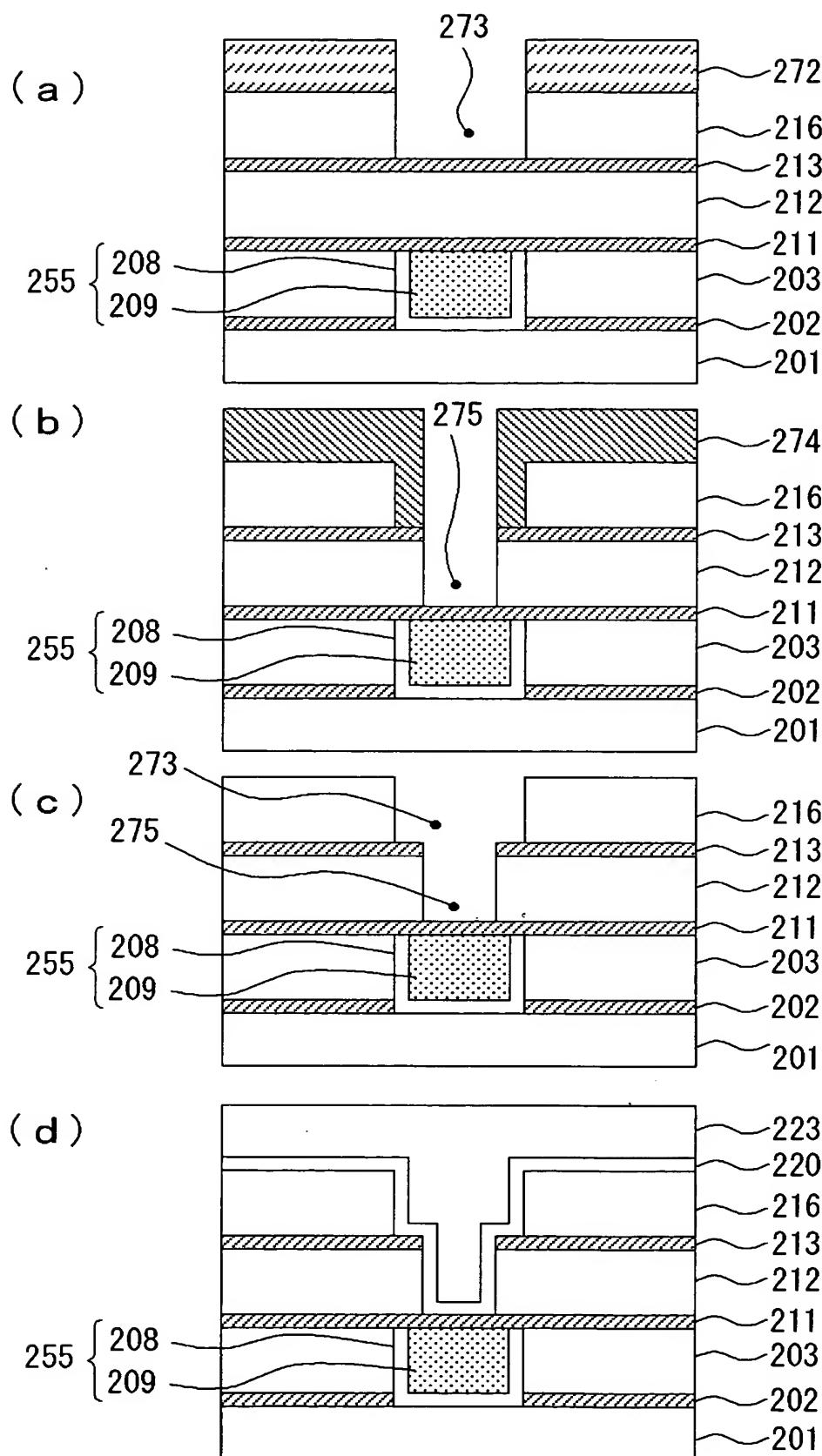


エッティングストップ膜のエッティング

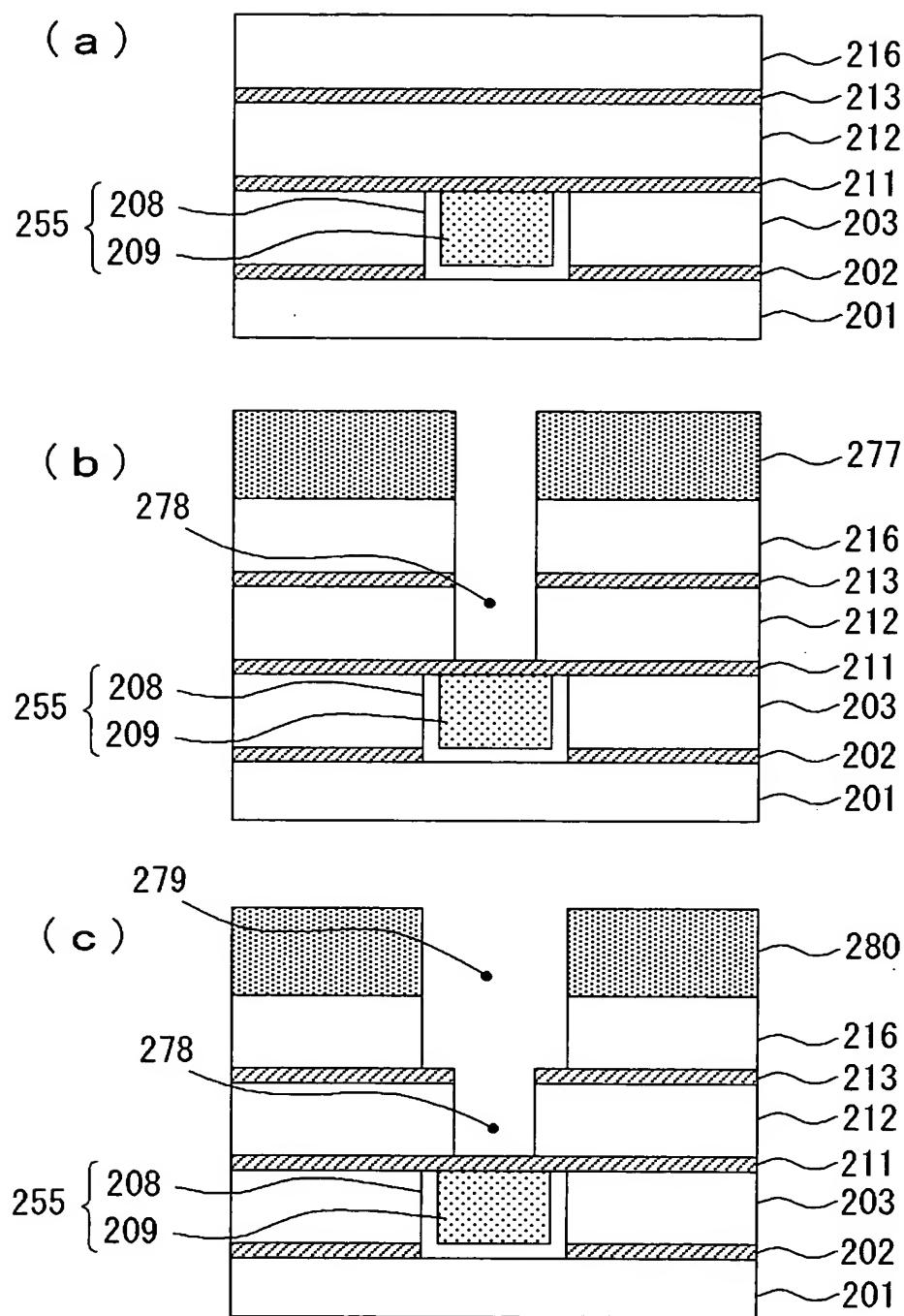
【図6】



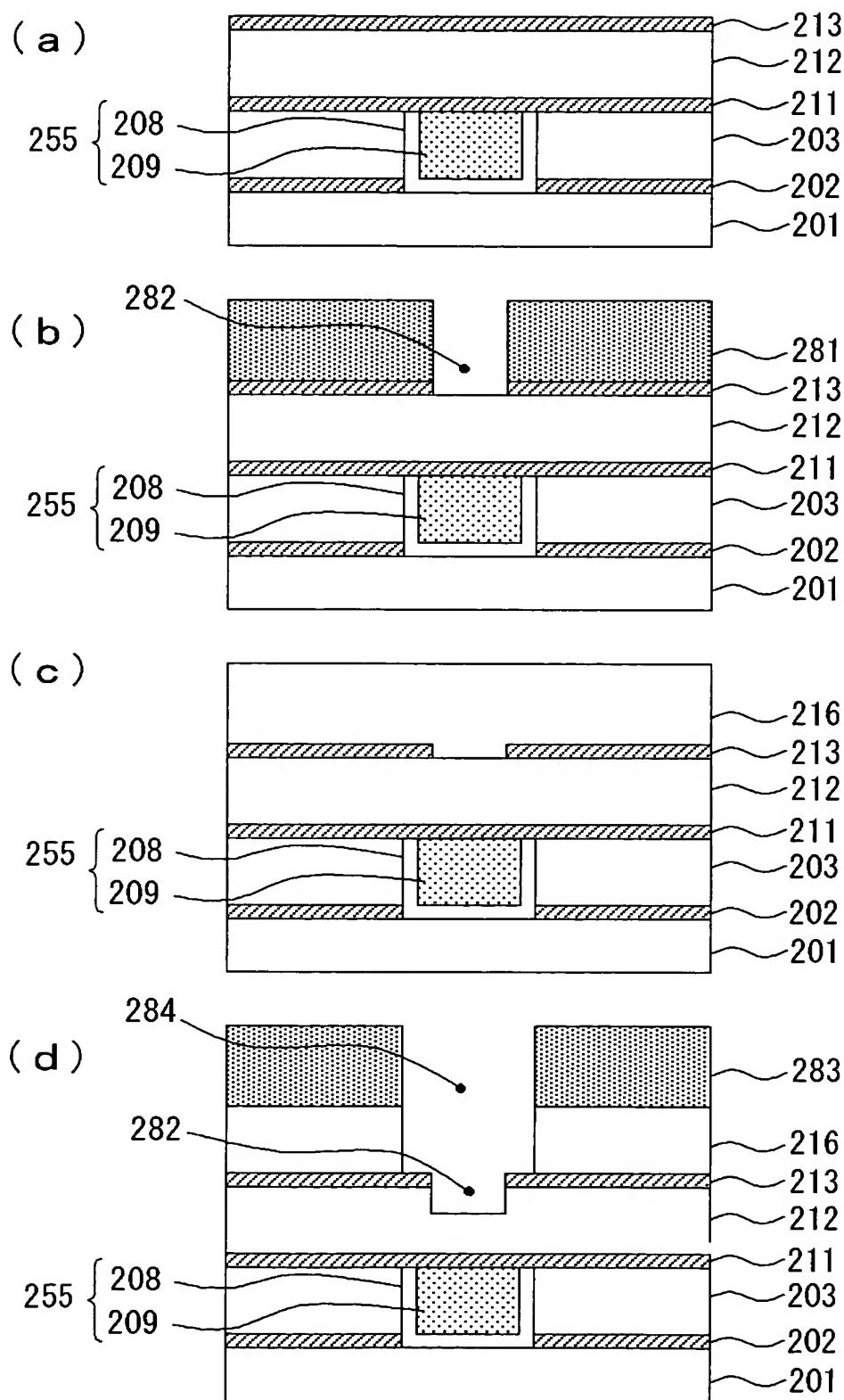
【図 7】



【図 8】

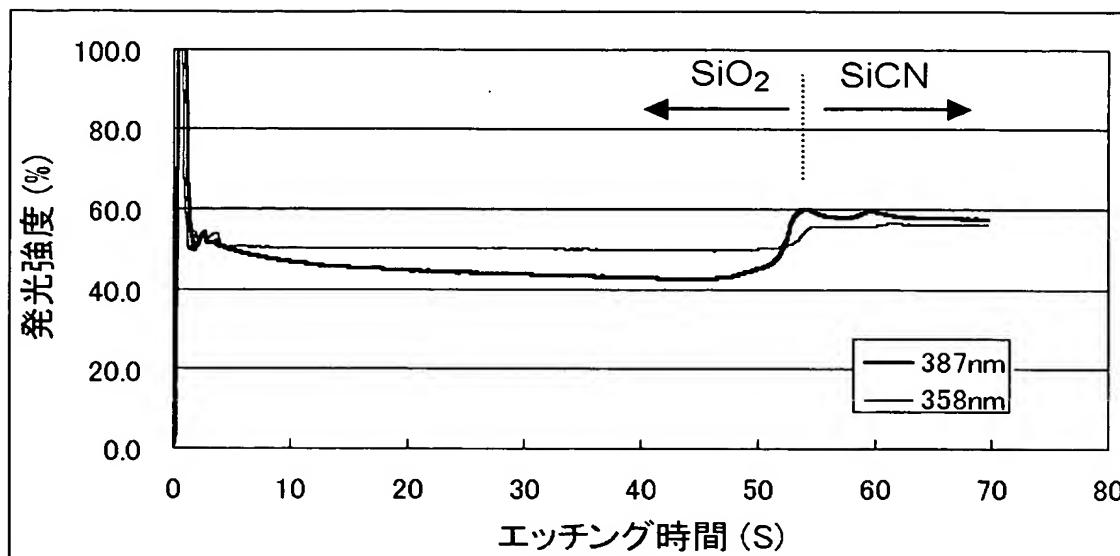


【図9】

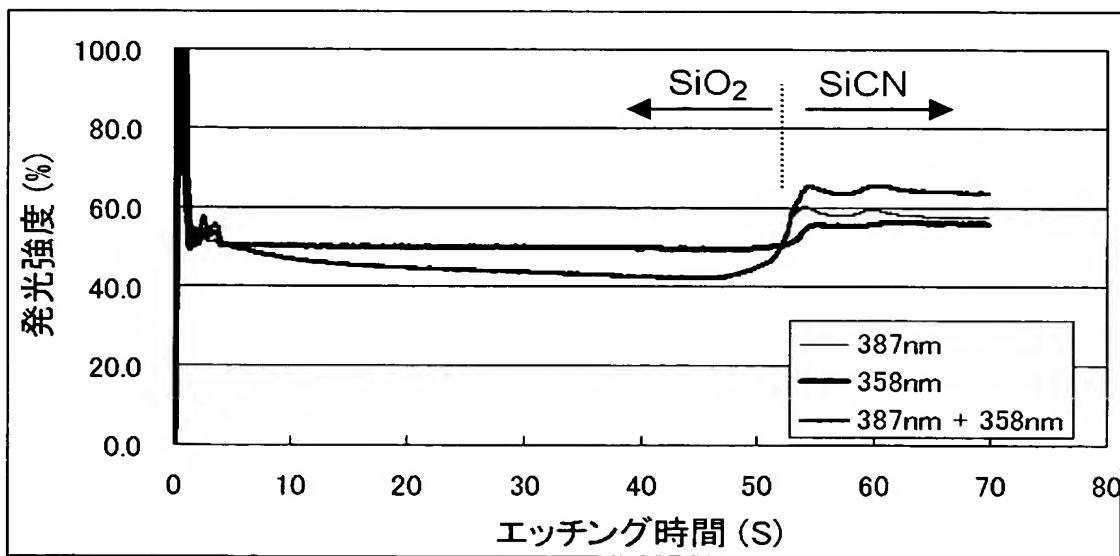


【図10】

(a)

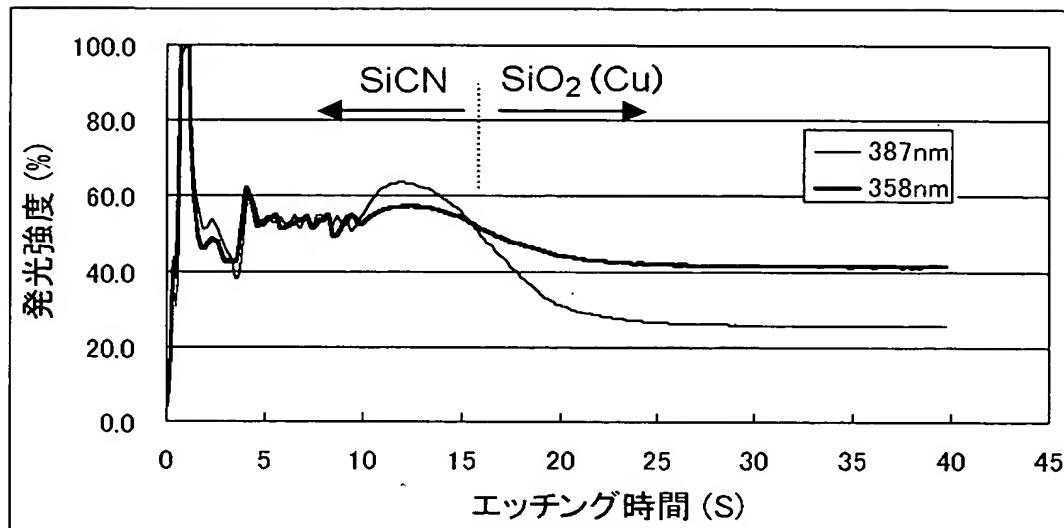


(b)

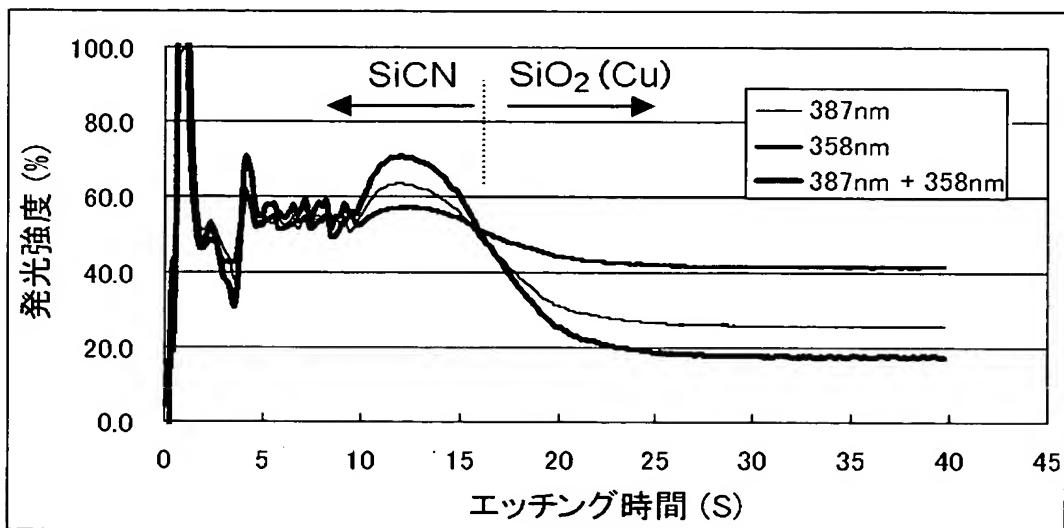


【図 11】

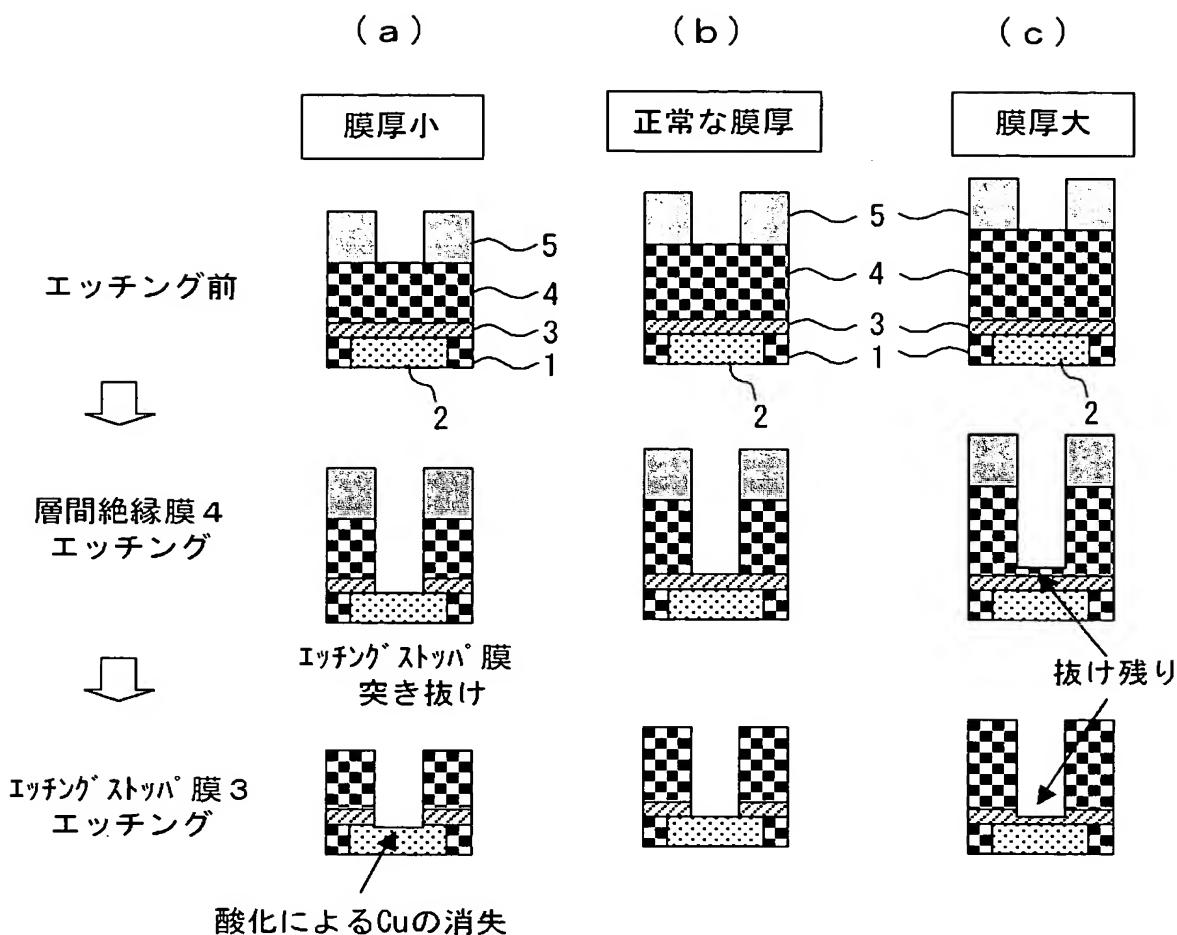
(a)



(b)



【図12】



【書類名】 要約書

【要約】

【課題】 精度よくエッチングを行う。

【解決手段】 検出部404は、エッチング装置402において半導体基板上に形成された窒素含有膜および当該窒素含有膜に接して設けられた窒素非含有膜のいずれかをドライエッチングする際に、複数の波長（358 nm近傍に発光ピークを有する発光帯および387 nm近傍に発光ピークを有する発光帯）におけるプラズマ発光の強度の変化量をそれぞれ検出する。演算処理部406は、検出された変化量を用いた演算処理を行う。制御部410は、演算処理の結果を考慮して、ドライエッチングの終了点を決定する。

【選択図】 図4

特願 2003-021110

出願人履歴情報

識別番号 [302062931]

1. 変更年月日 2002年11月 1日

[変更理由] 新規登録

住 所 神奈川県川崎市中原区下沼部1753番地
氏 名 NECエレクトロニクス株式会社